

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 10080413  
 PUBLICATION DATE : 31-03-98

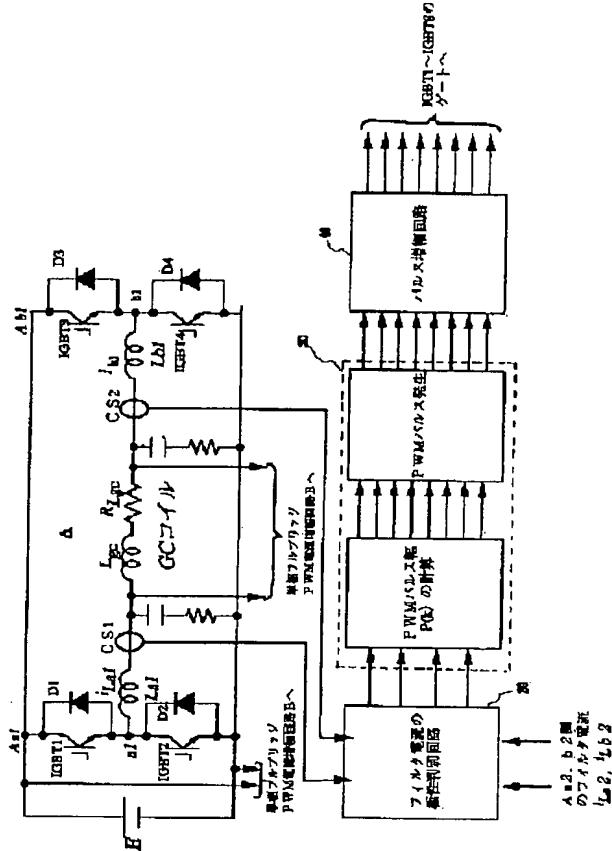
APPLICATION DATE : 09-09-96  
 APPLICATION NUMBER : 08238097

APPLICANT : HITACHI MEDICAL CORP;

INVENTOR : FUKUDA HIROYA;

INT.CL. : A61B 5/055 H02M 7/48

TITLE : POWER UNIT FOR MAGNETIC RESONANCE IMAGING DEVICE



**ABSTRACT :** PROBLEM TO BE SOLVED: To provide the power unit of magnetic field low ripple current with a high voltage, large capacitance and high response by permitting a single phase PWM switching current amplifier to be parallel.

**SOLUTION:** The unit is constituted so as to have a switching power source A where a control circuit 30 for controlling output current by pulse width modulation(PWM) control is provided. In this case, filter current detecting means CS1 and CS2 for detecting the current of the filters smoothing the output current of the power unit and a polarity discriminating means 20 for discriminating the polarity of the filter current are provided so that a PWM duty equivalent to a dead time is made to be large when the polarity of preceding filter current by one sampling is positive and made to be small when it is negative. PWM duty is controlled by preventing the output voltage equivalent to a dead time from being fluctuated so that the average value of filter current is correctly detected and the relation of filter current with the output voltage is made to be straight.

COPYRIGHT: (C)1998,JPO

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-80413

(43)公開日 平成10年(1998)3月31日

(51) Int.Cl. <sup>6</sup>	識別記号	序内整理番号	F I	技術表示箇所
A 61 B 5/055			A 61 B 5/05	3 3 0
H 02 M 7/48		8110-5H	H 02 M 7/48	F
		8110-5H		D
			A 61 B 5/05	3 7 0

審査請求 未請求 請求項の数 3 O L (全 13 頁)

(21)出願番号 特願平8-238097

(22)出願日 平成8年(1996)9月9日

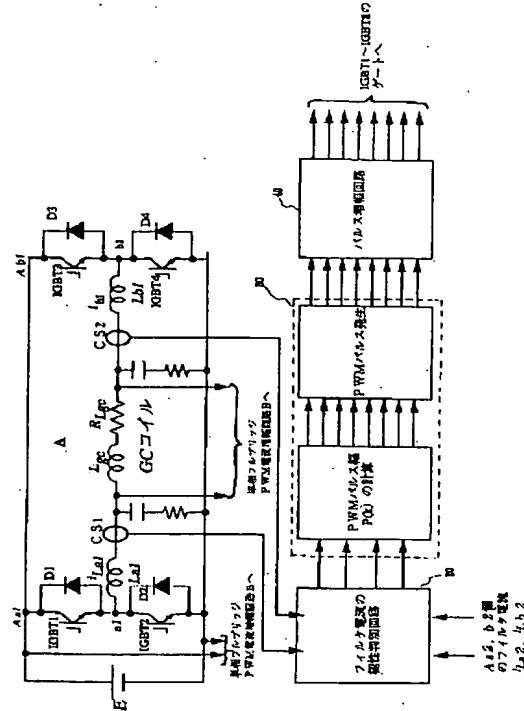
(71)出願人 000153498  
株式会社日立メディコ  
東京都千代田区内神田1丁目1番14号(72)発明者 茶畠 圭一  
東京都千代田区内神田1丁目1番14号 株式会社日立メディコ内(72)発明者 畠山 敬信  
東京都千代田区内神田1丁目1番14号 株式会社日立メディコ内(72)発明者 高野 博司  
東京都千代田区内神田1丁目1番14号 株式会社日立メディコ内(74)代理人 弁理士 多田 公子 (外1名)  
最終頁に続く

(54)【発明の名称】 磁気共鳴イメージング装置用電源装置

(57)【要約】

【課題】单相PWMスイッチング電流増幅器を並列化して高电压、大容量、高応答の磁場用低リップル電流の電源装置を提供する。

【解決手段】パルス幅変調(PWM)制御により出力電流を制御する制御回路30を備えたスイッチング電源A、Bを有する核磁気共鳴イメージング装置用電源装置において、電源装置の出力電流を平滑するフィルタの電流を検出するフィルタ電流検出手段CS1、CS2と、このフィルタ電流の極性を判別する極性判別手段20とを備え、1サンプリング前のフィルタ電流の極性が正のときは、デッドタイムの分だけPWMデューティを大きく、1サンプリング前のフィルタ電流の極性が負のときは、デッドタイムの分だけPWMデューティを小さくする。デッドタイムの分だけ出力電圧が変動するのを防止してPWMのデューティを制御できるので、フィルタ電流の平均値を正確に検出でき、フィルタ電流と出力電圧の関係を直線化できる。



## 【特許請求の範囲】

【請求項1】負荷である磁気共鳴イメージング装置の磁場発生用コイルに接続されたスイッチング電源と、前記磁場発生用コイルに流れる電流の検出値と電流指令値とを入力し、前記検出値と電流指令値との差がゼロになるように前記スイッチング電源を構成するスイッチのデューティをパルス幅変調制御するPWM制御手段とを備えた磁気共鳴イメージング装置用電源装置において、前記スイッチング電源に設けられたフィルタ回路の電流を検出するフィルタ電流検出手段と、このフィルタ電流検出手段により検出されたフィルタ電流の極性を判別する極性判別手段とを備え、前記PWM制御手段は、前記極性判別手段の判別結果に基づき前記デューティを増減する手段を備えたことを特徴とする磁気共鳴イメージング装置用電源装置。

【請求項2】負荷である磁気共鳴イメージング装置の磁場発生用コイルに並列に接続された複数のスイッチング電源と、前記磁場発生用コイルに流れる電流の検出値と電流指令値とを入力し、前記検出値と電流指令値との差がゼロになるように前記スイッチング電源を構成するスイッチのデューティをパルス幅変調制御するPWM制御手段とを備えた磁気共鳴イメージング装置用電源装置において、

前記スイッチング電源の各々に設けられたフィルタ回路の電流を検出するフィルタ電流検出手段と、このフィルタ電流検出手段により検出されたフィルタ電流の極性を判別する極性判別手段とを備え、

前記PWM制御手段は、前記極性判別手段の判別結果に基づき前記デューティを増減する手段を備えたことを特徴とする磁気共鳴イメージング装置用電源装置。

【請求項3】前記PWM制御手段は、前記複数のスイッチを所定のデッドタイムを設けてオンオフ制御とともに、前記フィルタ電流の極性が正のときは前記デッドタイムの分だけ前記デューティを大きくし、前記フィルタ電流の極性が負のときは前記デッドタイムの分だけ前記デューティを小さくすることを特徴とする請求項1又は2記載の磁気共鳴イメージング装置用電源装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は磁気共鳴イメージング装置（以下、MR.I装置という）に係わり、特にその大電力を要求される静磁場、傾斜磁場、高周波磁場の発生に必要な各種電源装置に好適な電源装置に関する。

## 【0002】

【従来の技術】MR.I装置の傾斜磁場コイル励磁に要求される電流波形は、診断箇所によっては正弦波状の波形も必要になるが、一般的には、図8(a)に示すような立ち上がり時間、立ち下がり時間が600μS以下、正負両方向の台形波状の波形である。このような電流波形を実現するための現在の小容量MR.I装置の傾斜磁場発生

用電源システムとして、電力用MOSFET（電界効果トランジスタ）を用いた高周波PWMスイッチング電力増幅器が使用されている。この方式は、従来型のトランジスタをリニアに作動させていた線形電力増幅器より高効率、省エネルギー、省スペース化の点で優れている。このようなスイッチング電源を用いた電源装置では、耐圧が数百V、電流容量が数十Aで数百kHzの高周波スイッチングが可能である。

【0003】しかし、MR.I装置において短時間で診断に有用な画像を得るためにには、更に高磁場を発生させ、且つ高速な制御を実現することが必要となっている。このためMR.I装置の磁場電源として、現行に比べ電圧で4倍、電流で2倍程度の大電流電源が必要となるが、電力用MOSFETを用いた高周波PWMスイッチング電力増幅器では、MOSFETの性能上限界のためにこの要求を満たすのは困難である。

【0004】このMOSFETに対し、電力用スイッチング素子としてIGBT（絶縁ゲート型バイポーラトランジスタ）モジュールは、高耐圧で大電流が扱え、保守性、コスト面において有利であるが、MOSFETに比べ動作周波数の上限が20kHzと低いため、応答速度の高速化、低リップル電流化が困難である。そこで、本発明者らは、IGBTによる従来の回路を並列に接続し、位相差を設けることにより見掛け上の動作周波数を上げるとともに、大容量化にも対応した並列型電流増幅回路を提案している（特願平7-21989号等）。この方式による2並列の場合の傾斜磁場電源の出力回路の構成図を図9に示す。

【0005】この回路は、負荷である傾斜磁場（G.C.）コイル10（インダクタL<sub>gc</sub>と抵抗R<sub>Lgc</sub>の直列回路モデル）に並列接続された二組の単相フルブリッジPWM電流増幅器回路A、Bから構成され、各単相フルブリッジPWM電流増幅器回路は4個のIGBT1～IGBT4（IGBT5～IGBT8）、それに逆並列に接続されたソフトリカバリーダイオードD1～D4（D5～D8）、および2組のIGBTとダイオードDとから構成されるアームAa1、Aa2、Ab1、Ab2の各々と負荷10との間に設けられた電流リップル除去のためのLCRフィルタ（インダクタL<sub>a1</sub>、L<sub>a2</sub>、L<sub>b1</sub>、L<sub>b2</sub>、キャパシタC<sub>a1</sub>、C<sub>a2</sub>、C<sub>b1</sub>、C<sub>b2</sub>、抵抗R<sub>a1</sub>、R<sub>a2</sub>、R<sub>b1</sub>、R<sub>b2</sub>）から構成されている。ここでアームAa1、Ab1を第1相、アームAa2、Ab2を第2相、またアームAa1、Aa2を左側アーム、アームAb1、Ab2を右側アームと呼ぶことにする。

【0006】この電源システムでは、2組の単相フルブリッジPWM電流増幅器回路の出力電圧の位相差を180°にしてG.C.コイル10に流れる電流のリップルを低減するものである。

【0007】今、図9の負荷回路系（フィルタと誘導性負荷）を図10のように表すと、このような電源システムにおける各フィルタ電流i<sub>La1</sub>、i<sub>La2</sub>、i<sub>Lb1</sub>、i<sub>Lb2</sub>

とスイッチング素子のゲートドライブ信号Va1、Va2、Vb1、Vb2の関係は図1-1のようになる。即ち、1組目のフィルタリアクトルLa1に流れる電流iLa1と2組目のフィルタリアクトルLa2に流れる電流iLa2の位相差は180°で、これらを合成した出力負荷電流(GCコイルに流れる電流)i<sub>ref</sub>は理想状態でリップルがゼロとなる。尚、図1-1中、S11はIGBT1に対応し、S12はIGBT2に、S21はIGBT5に、S22はIGBT6にそれぞれ対応する。また図1-1では図9に示すPWM電流増幅器回路の左側アームAa1、Aa2のみを示したが、右側アームAb1、Ab2についても同様である。

【0008】そこでGCコイル10に流れる電流を検出し、その電流に対してフィードバック制御を行えば目標値に追従するような制御系が成立する。

#### 【0009】

【発明が解決しようとする課題】しかし、図9のように並列化された回路構成では第1相Aと第2相Bの相間に回り込み電流(循環電流、横流)が発生し、相間の短絡あるいは過大な電流不平衡などの新たな問題が生じる可能性がある。このような回り込み電流は、GCコイルで検出する電流フィードバック制御では抑制できないので、これを抑制するためには、各アームのフィルタのインダクタ電流を検出するフィードバック制御を行うことが考えられる。個々のフィルタのインダクタ電流を制御することにより第1相と第2相のフィルタのインダクタ電流の電流不平衡が抑制され、回り込み電流の発生を防ぐことが可能となる。このフィードバック制御には、この相間アンバランスの問題の他、温度ドリフトの抑制、高精度化の点から、アナログ方式よりもデジタル制御方式の方が有利である。

【0010】このようにフィルタ電流をデジタルフィードバック制御することにより、負荷電流の制御と各相のフィルタ電流の回り込み電流の抑制が可能となるが、このためには各フィルタ電流を高精度に検出する必要がある。特に、図1-1に示すようにフィルタ電流(iLa1、iLa2)には負荷電流iL<sub>ge</sub>と比べて振幅の大きな三角波電流が含まれているので、電流検出のサンプリング点(k-1, k, k+1, ...)において、検出した値に大きなばらつきが無いようにしなければならない。

【0011】しかし、実際のスイッチング制御に際しては、各アームのスイッチング時に上下のスイッチ、例えばIGBT1とIGBT2が短絡故障を起こさないようにするために図1-2に示すように上下のスイッチが両方ともオフになる休止時間T<sub>d</sub>(デッドタイム)を設ける必要があり、このようなデッドタイムを設けることにより、1)サンプリング点における電流のばらつきが大きくなり、フィルタ電流の値を正確に検出できない、2)デッドタイムの分だけオンしている期間が短くなるのでパルス幅変調パルス(PWMパルス)のデューティが所望値、例えば50%にならない、即ち、フィルタの平均電流を増

やしても出力電圧(GCコイルにかかる電圧)が増加しない領域ができるという問題が発生する。

【0012】このため図1-3に示すようにフィルタ電流と出力電圧の関係に段差ができ非線形を呈し、フィルタ電流のフィードバック制御が困難となる。この結果、傾斜磁場コイル電流波形も図8(a)のような理想的な波形とはならず、図8(b)に示すように歪んだり、応答も同図(c)のように遅くなり、MR-I画像に悪影響を及ぼすものとなる。

【0013】そこで本発明は、IGBTのようなスイッチング素子による単相PWMスイッチング電流増幅器を備えた電源装置において、デッドタイムを設けても応答性が良く高精度の制御を可能とし、これにより高電圧、大容量、高応答の磁場用低リップル電流の電源装置を提供することを目的とする。

#### 【0014】

【課題を解決するための手段】上記目的を達成するため本発明の電源装置は、スイッチング電源であるPWM電流増幅器回路をデジタル制御する際に、PWM電流増幅器回路内のフィルタ電流を検出し、この電流の極性によってPWMパルス幅を制御してデッドタイムを生成し、出力電流の平均値を検出するとともに、出力電圧への影響を小さくすることを可能とするものである。

【0015】即ち、本発明による磁気共鳴イメージング装置用電源装置は、負荷である磁気共鳴イメージング装置の磁場発生用コイルに接続されたスイッチング電源と、磁場発生用コイルに流れる電流の検出値と電流指令値とを入力し、検出値と電流指令値との差がゼロになるようにスイッチング電源を構成するスイッチのデューティをパルス幅変調制御するPWM制御手段と、スイッチング電源に設けられたフィルタ回路の電流を検出するフィルタ電流検出手段と、このフィルタ電流検出手段により検出されたフィルタ電流の極性を判別する極性判別手段とを備え、PWM制御手段は、極性判別手段の判別結果に基づきデューティを増減する手段を備えている。このような本発明の電源装置は、複数のスイッチング電源を並列接続した電源装置に好適に適用される。

【0016】PWM制御手段は、具体的には、複数のスイッチを所定のデッドタイムを設けて制御し、フィルタ電流の極性が正のときはデッドタイムの分だけデューティを大きくし、フィルタ電流の極性が負のときはデッドタイムの分だけデューティを小さくするように制御する。

【0017】スイッチング電源の出力電圧は、デッドタイムを設けた場合、デッドタイムの分だけ小さく或いは大きくなり、サンプリング時点で正確な平均出力電流を検出することができなくなる。この出力電圧の変動は、フィルタ電流の極性により異なる。従って、フィルタ電流の極性に応じてPWMパルス幅を制御することによって、デッドタイムを設けてもデッドタイムの分だけ出力

電圧が小さくあるいは大きくならず、またフィルタ電流の平均値を正確に検出できるので、フィルタ電流と出力電圧の関係を直線化できる。

【0018】これによって図8(b)に示したような電流波形の歪みや同図(c)に示したような応答遅れの問題を回避でき、診断に有効な高画質のMR-I画像を得ることができる。

【0019】

【発明の実施の態様】以下本発明の磁気共鳴イメージング装置用電源装置を図面に示す実施例により更に詳細に説明する。

【0020】図1は本発明の一実施例であるPWM制御方式による電源装置の全体回路ブロック図を示すもので、この電源装置は図9の電源装置と同様に直流電源Eに並列接続された2並列のスイッチング電源であるフルブリッジPWM電流增幅回路A、B(図ではAのみが示されている)と、各アームのフィルタ電流を検出する検出器CS1、CS2と、これらフィルタ電流の極性を判別するフィルタ電流判別回路20と、フィルタ電流の検出値及び極性に基づき各スイッチ(ここではIGBT1～IGBT4)のPWMパルス幅を演算し、PWMパルスを発生するPWM制御回路30と、PWM制御回路30の発生するPWMパルスを増幅するパルス增幅回路40とを備えており、各PWM電流增幅回路A、Bの出力は負荷であるGCコイル10に印加される。

【0021】PWM電流增幅回路A、Bは、基本的には図9の単相フルブリッジPWM電流增幅器回路と同様であり、対応する要素は同じ符号で示している。即ち、PWM電流增幅回路Aは4組のIGBT1～IGBT4及びこれらIGBTに逆並列に接続されたダイオードD1～D4と、2組のIGBTとダイオードとから成るアームAa1、Ab1とGCコイル10との間にそれぞれ接続されたLCRフィルタ(インダクタLa1、Lb1、キャパシタCa1、Cb1、抵抗Rca1、Rcb1)とを備えている。フィルタのリアクトル(インダクタLa1、Lb1)は瞬間的な電位差を吸収し、CRのフィルタはGCコイル10の両端の電圧リップルをコンデンサ(キャパシタCa1、Cb1)で平滑化するとともに、抵抗Rca1、Rcb1がフィルタのリアクトルと平滑コンデンサによる電流共振現象を抑制する。

【0022】尚、図1では図示省略されているが、他方のPWM電流增幅回路Bも図示されたPWM電流增幅回路Aと同様の構成を有している。

【0023】フィルタ電流を検出する検出器CS1、CS2及び極性判別回路20は、例えば左側アームAa1のフィルタ電流について図2に示すように、1対の電流検出器CS11とCS12と、これら電流検出器CS11、CS12にそれぞれ接続されたトランジスタQ1、Q2とから構成される。電流検出器としては、ホール素子、CT等の公知の電流検出器が使用できる。Vccは回路20の電源電圧である。このような構成の極性判別回路20は、フィ

ルタ電流iLa1の極性を判別する場合、電流検出器CS11とCS12で検出するフィルタ電流iLa1を入力し、iLa1が正の場合はCS11の巻始めの極性に正の電圧を出力するので、トランジスタQ1が導通してその出力にオン信号を出力する。また、iLa1が負の場合はCS12の巻終わりの極性に正の電圧を出力するので、トランジスタQ2が導通してその出力にオン信号を出力する。

【0024】同様に右側アームのフィルタ電流iLb1についても、またもう一方の単相フルブリッジPWM電流增幅回路Bのフィルタ電流についても極性を判別し、これらの信号をPWMパルス幅計算に利用する。

【0025】PWM制御回路30は、GCコイル10に流れる電流の検出値と電流指令値とを入力し、検出値と電流指令値との差がゼロになるように各PWM電流增幅回路A、BのスイッチをPWM制御するとともに、この際、上述したように検出されたフィルタ電流及びその極性に応じてPWMパルス幅を補正する。このようなPWM制御回路30(PWMパルスの計算及びPWMパルスの発生)は公知のマイクロコンピュータで構成することができ、フィルタ電流の極性判別信号を利用してパルス幅の計算を行い、これに応じたパルスに分配して発生する。

【0026】次にこのような構成における電源装置の動作及びPWM制御回路30におけるPWMパルス幅制御について説明する。説明を簡単にするために、図3に、図1の電源回路装置の1組のPWM電流增幅回路(A又はB)とGCコイルのみの回路を示した。図3において、スイッチS11はIGBT1又はIGBT5に対応し、スイッチS12はIGBT2又はIGBT6に、スイッチS21はIGBT3又はIGBT7に、スイッチS22はIGBT4又はIGBT8にそれぞれ対応する。またダイオードD11～D22は、それぞれダイオードD1～D4又はD5～8に対応する。

【0027】この電源装置では、図4のスイッチングシーケンスに示すようにスイッチS11とS22が同時にオンオフし、スイッチS12とS21が同時にスイッチS11とS22とは逆にオンオフするように制御される。この際、PWM制御回路30は、PWMパルス幅を制御し、これらスイッチS11～S22のオン時間(デューティ)を制御する。またスイッチング素子の特性のばらつきによる短絡を防止するために、全てのスイッチが共にオフとなるデッドタイムTdが設けられている。図3のPWM電流增幅回路における出力電流iLは、フィルタ電流検出器CS1、CS2で検出されたフィルタ電流に対応し、スイッチのオン又はオフに伴い変化する電流波形となり、これに対応する出力電圧Vabが得られる。

【0028】ここで、出力電流iLが図4に示すようにゼロをクロスする状態では、デッドタイムがあっても、PWMデューティはそのまま出力電圧Vabに対応する。即ち、出力電流iLの波形は負の状態では、スイッチS

12、S21の立ち下がりで変化し、正の状態ではスイッチS11、S22の立ち下がりで変化するので、出力電圧はPWMデューティをそのまま反映したものとなる。従って各サンプリング点における電流検出の精度にも変動を与えることがなく、またフィルタ電流と出力電圧の関係もリニアな関係が得られる。

【0029】一方、図5(a)に示すように出力電流*i\_L*がゼロをクロスせず常に正の場合には、出力電流*i\_L*の波形はオン時間の長いスイッチS11、S22の立ち上がり及び立ち下がりに支配される。従ってこのような場合にデッドタイムTdがあると、PWMデューティよりデッドタイム分だけ出力電圧Vabの平均値が小さくなり、フィルタ電流と出力電圧の関係も図13の正領域に示すように非線形特性を呈するようになる。また、サンプリング点において検出されるフィルタ電流も平均電流と異なる値となり、検出に大きな誤差を生じる。

【0030】このように出力電流*i\_L*が常に正の場合には、PWMデューティよりデッドタイムの分だけ出力電圧Vabの平均値が小さくなるので、その分だけPWMデューティを大きく、つまりスイッチS11、S22のオン時間を長くなるようにPWMパルス幅制御する。即ち、図5(b)に示すように、1サンプリング前のk-1のサンプリング点のフィルタ電流の極性が正であると判別されると、スイッチS12、S21のオフの時点を早くし、次いでデッドタイムTdを設けた後にスイッチS11、S22をオンして、結果的にスイッチS12、S21のオン時間をデッドタイムの分だけ短くし、スイッチS11、S22のオン時間をデッドタイムの分だけ長くするようにPWM制御する。

【0031】これに対し、出力電流*i\_L*がゼロをクロスせず常に負の場合には、図6(a)に示すように出力電流*i\_L*の波形はオン時間の長いスイッチS12、S21の立ち上がり及び立ち下がりに支配される。従ってこのような場合にデッドタイムTdがあると、PWMデューティよりデッドタイム分だけ出力電圧Vabの平均値が大きくなり、フィルタ電流と出力電圧の関係も図13の負の領域を示すような非線形特性を呈するようになる。また、サンプリング点においても平均電流と異なる値となり、検出に大きな誤差を生じる。

【0032】従って、出力電流*i\_L*が常に負の場合には、図6(b)に示すように1サンプリング前のk-1のサンプリング点のフィルタ電流の極性が負であると判別されると、スイッチS12、S21のオフの時点を遅くし、デッドタイムTdを設けた後にスイッチS11、S22をオンして、スイッチS12、S21のオン時間をデッドタイムの分だけ長く、スイッチS11、S22のオン時間をデッドタイムの分だけ短くする。すなわち、出力電流*i\_L*が常に負の場合、PWMデューティよりデッドタイムの分だけVabの平均値が大きくなるので、その分だけPWMデューティを小さく、つまりスイッチS11、S22のオ

ン時間を短くするようにPWMパルス幅制御する。

【0033】尚、図4～図6においては、説明を簡単にするために各スイッチのオン時間(パルス幅)をほぼ同じに記載しているが、実際には出力電流*i\_L*が常に正である図5ではスイッチS11、S22のオン時間がスイッチS12、S21のオン時間より長く、また出力電流*i\_L*が常に負である図6ではスイッチS12、S21のオン時間がスイッチS11、S22のオン時間より長くなる。

【0034】このようにPWM制御回路30は、フィルタ電流の極性判別信号を利用してパルス幅の計算を行い、これに応じたパルスに分配してPWMパルスを発生する。このPWMパルスは、PWMパルス増幅回路40により増幅された後、各PWM電流増幅回路A、BのIGBT1～IGBT8のゲートに入力され、IGBTを駆動制御してPWM電流増幅回路の各出力電流を制御する。

【0035】以上説明したようにフィルタ電流の極性に基づきPWMのデューティを制御することによって、デッドタイムを設けてもデッドタイムの分だけ出力電圧が小さくあるいは大きくならず、またフィルタ電流の平均値を正確に検出できるので、図7に示すようにフィルタ電流と出力電圧の関係を直線化できる。これによって図8(b)に示したような電流波形の歪みを解消でき、また図8(c)に示したような応答遅れの問題も回避でき、診断に有効な高画質のMR-I画像を得ることができる。

【0036】また並列接続したPWM電流増幅回路の各出力電流を精度よく制御できるので、各PWM電流増幅回路A、Bの位相を180°ずらすことにより極めて低リップルの出力電流が得られる。

【0037】尚、以上説明した実施例では、スイッチング電源として2並列のPWM電流増幅回路を備えた場合を説明したが、本発明は1のPWM電流増幅回路を備えた電源装置にも、また3(N個)以上の並列接続するスイッチング電源にも適用できる。複数並列の場合、各スイッチング電源の位相を360°～Nずらして駆動することにより、低リップル化を図ることができる。更に本実施例では、スイッチング素子としてIGBTを用いたPWM電流増幅回路を例にして説明したが、本発明にはMOSFETを用いた電流増幅回路への適用も含まれる。

【0038】更に本発明の電源装置は、MR-I装置のGCコイルのみならず他の磁場発生用コイル用の電源として用いることもできる。

【0039】

【発明の効果】以上説明したように、本発明の電源装置によれば、スイッチング電源の各スイッチをデッドタイムを設けてPWM制御する際に、デッドタイムの分だけ出力電圧が小さくあるいは大きくなないようにPWMのデューティを制御することによって、フィルタ電流の平均値を正確に検出でき、フィルタ電流と出力電圧の関係を直線化できる。これによって電流波形の歪みや応答

遅れの問題を回避でき、診断に有効な高画質のMR-I画像を得ることができる。

【0040】また本発明の電源装置によれば、フィルタ電流を正確に制御できるので、スイッチング電源を並列接続した電源装置に好適に適用でき、この場合複数のスイッチング電源の位相をずらして駆動することにより、低リップルの電源装置を提供できる。

#### 【図面の簡単な説明】

【図1】 本発明のPWM制御手段を備えた電源回路の一実施例を示す全体プロック図。

【図2】 フィルタ電流の極性判別回路の一実施例を示す図。

【図3】 図1の電源回路の一部を簡略化して示した図。

【図4】 図3の回路の出力電流  $i_{L1}$  がゼロクロスし、デッドタイムがある場合のスイッチングシーケンスを示す図で、

【図5】 図3の回路の出力電流  $i_{L1}$  が常に正で、デッドタイムがある場合のスイッチングシーケンスを示す図で、(a)は従来のPWM制御を示す図、(b)は本発明によるPWM制御を示す図。

【図6】 図3の回路の出力電流  $i_{L1}$  が常に負で、デッドタイムがある場合のスイッチングシーケンスを示す図で、(a)は従来のPWM制御を示す図、(b)は本発明によるPWM制御を示す図。

【図7】 本発明のPWM制御におけるフィルタ電流と負荷出力電圧の関係を示す図。

【図8】 MR-I装置のGCコイルの電流波形を示す図で、(a)は理想電流波形、(b)は従来の電源装置による電流波形、(c)は従来の電源装置による立ち上がり波形を示す。

【図9】 傾斜磁場電源の出力回路の構成を示す図。

【図10】 図9の回路の負荷回路系を示す図。

【図11】 図10の回路におけるフィルタ電流とゲートドライブ信号との関係を示す図で、デッドタイムのない場合を示す。

【図12】 図10の回路におけるフィルタ電流とゲートドライブ信号との関係を示す図で、デッドタイムを設けた場合を示す。

【図13】 従来のPWM制御においてデッドタイムを設けた場合のフィルタ電流と負荷出力電圧の関係を示す図。

#### 【符号の説明】

E………直流電源

IGBT 1～IGBT 8………絶縁ゲート形バイポーラトランジスタ（スイッチ）

S11、S12、S21、S22………スイッチ

D1～D8………ソフトリカバリダイオード

La1、La2、Lb1、Lb2………インダクタ（フィルタ回路）

Ca1、Ca2、Cb1、Cb2………キャパシタ（フィルタ回路）

Rca1、Rca2、Rcb1、Rcb2………抵抗（フィルタ回路）

10………傾斜磁場コイル（負荷）

A、B………PWM電流増幅回路（スイッチング電源）

20………フィルタ電流極性判別回路

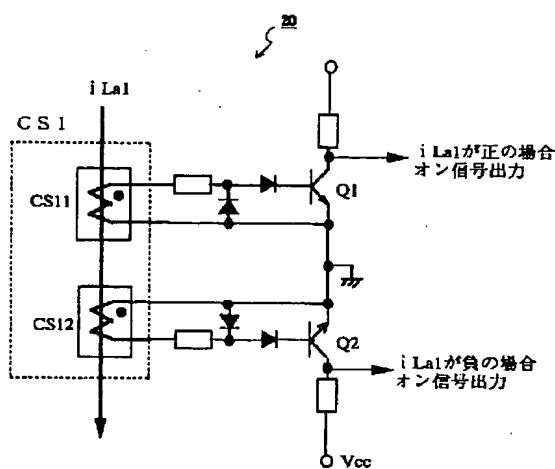
30………PWM制御手段

40………パルス増幅回路

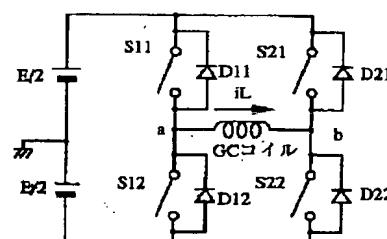
Td………デッドタイム

CS1、CS2………フィルタ電流検出器

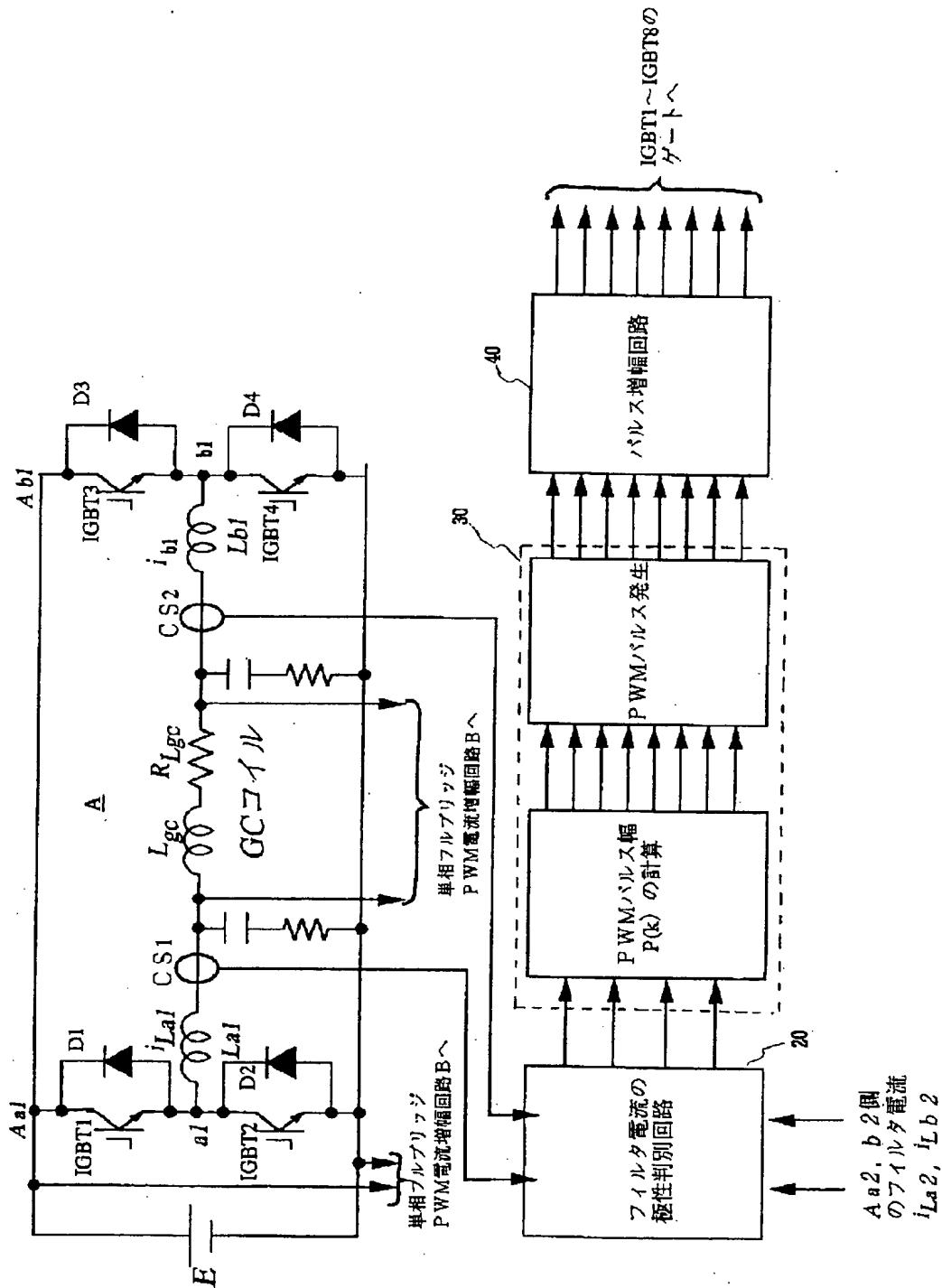
【図2】



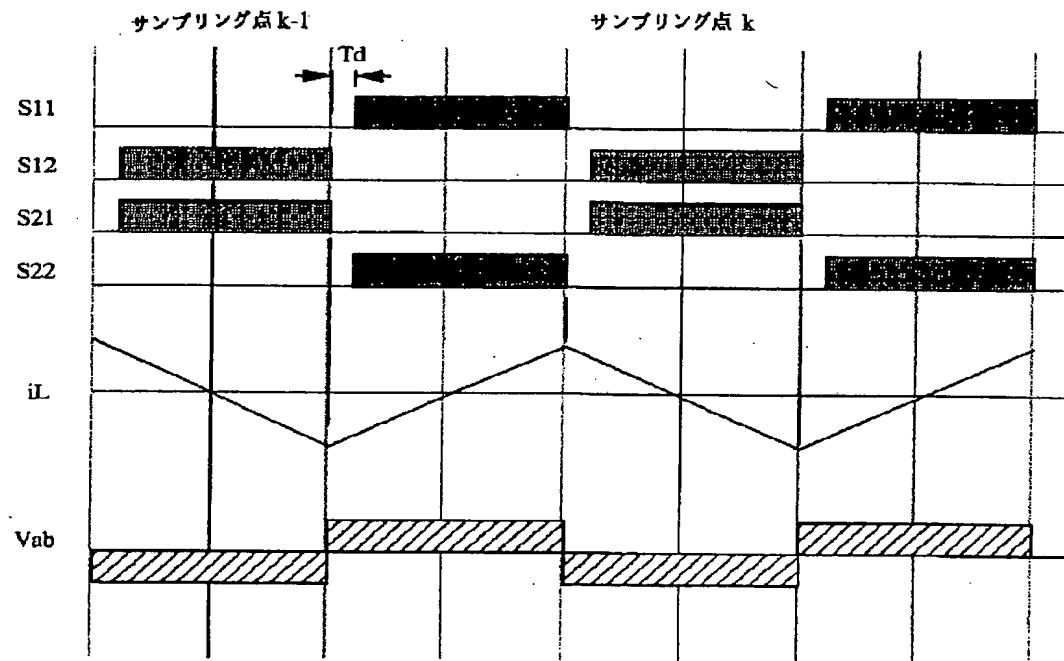
【図3】



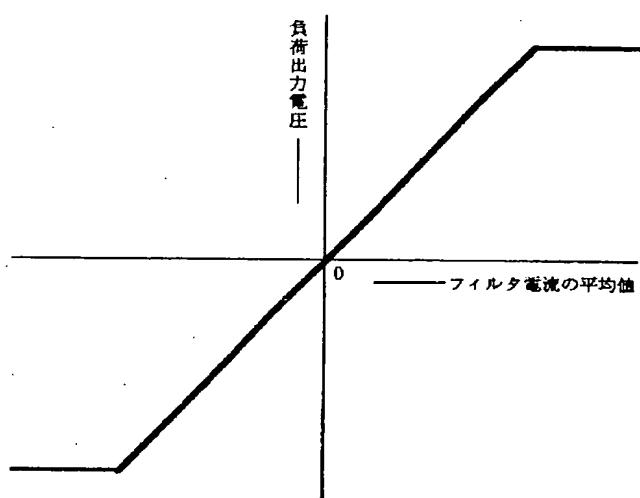
【図1】



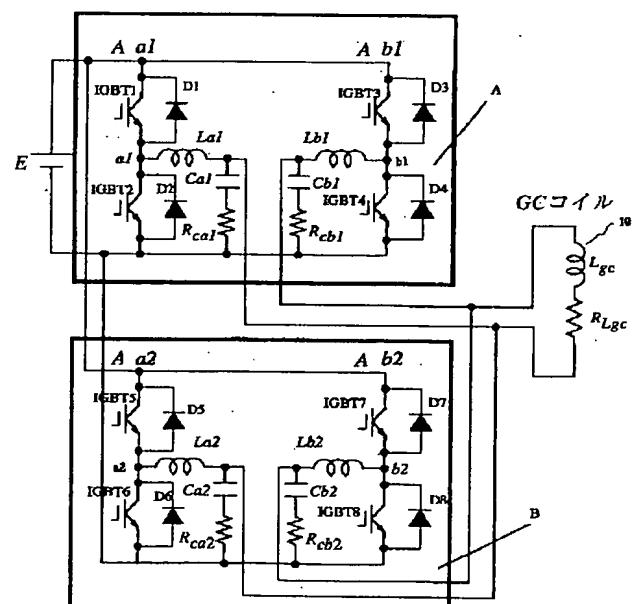
【図4】



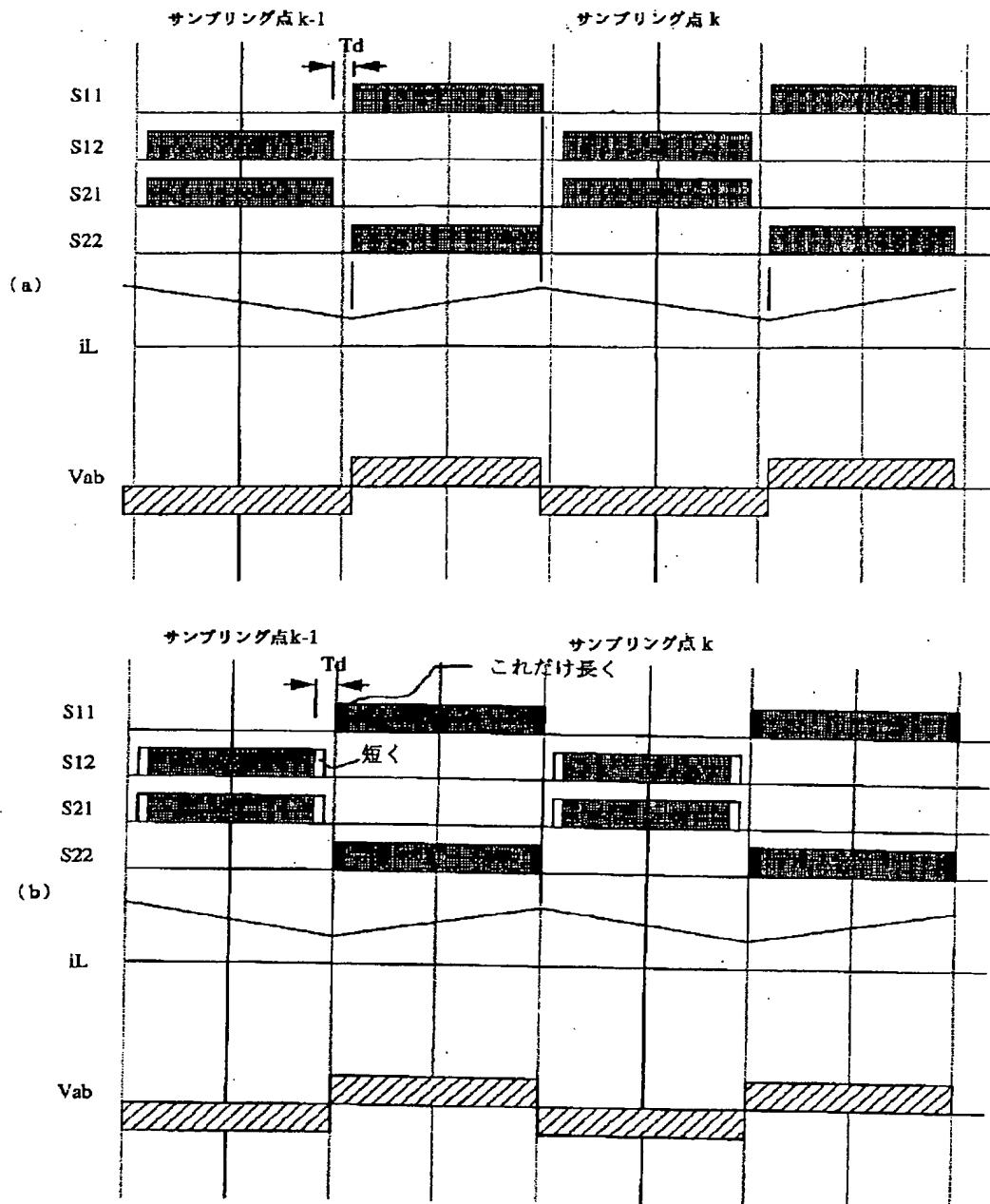
【図7】



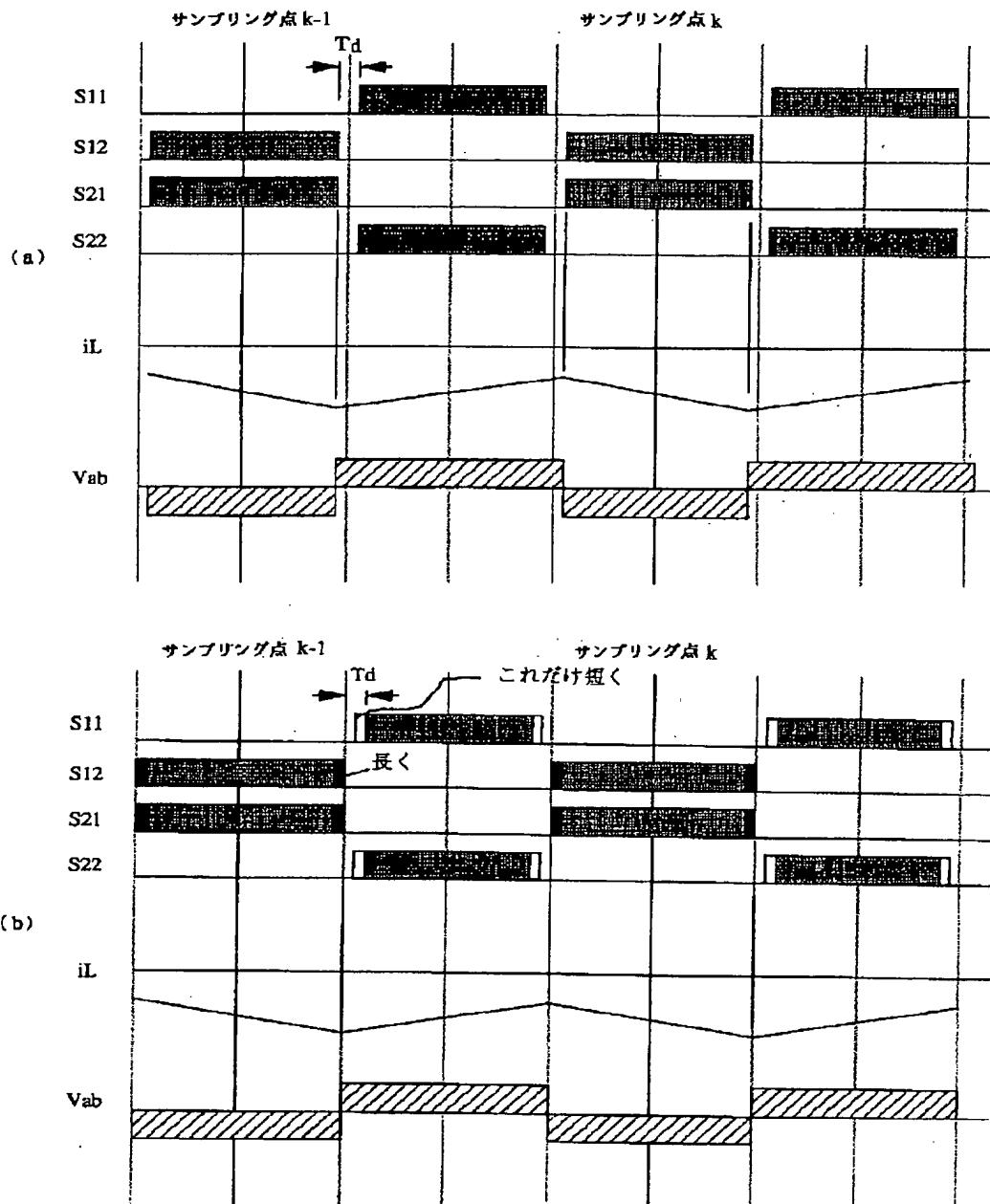
【図9】



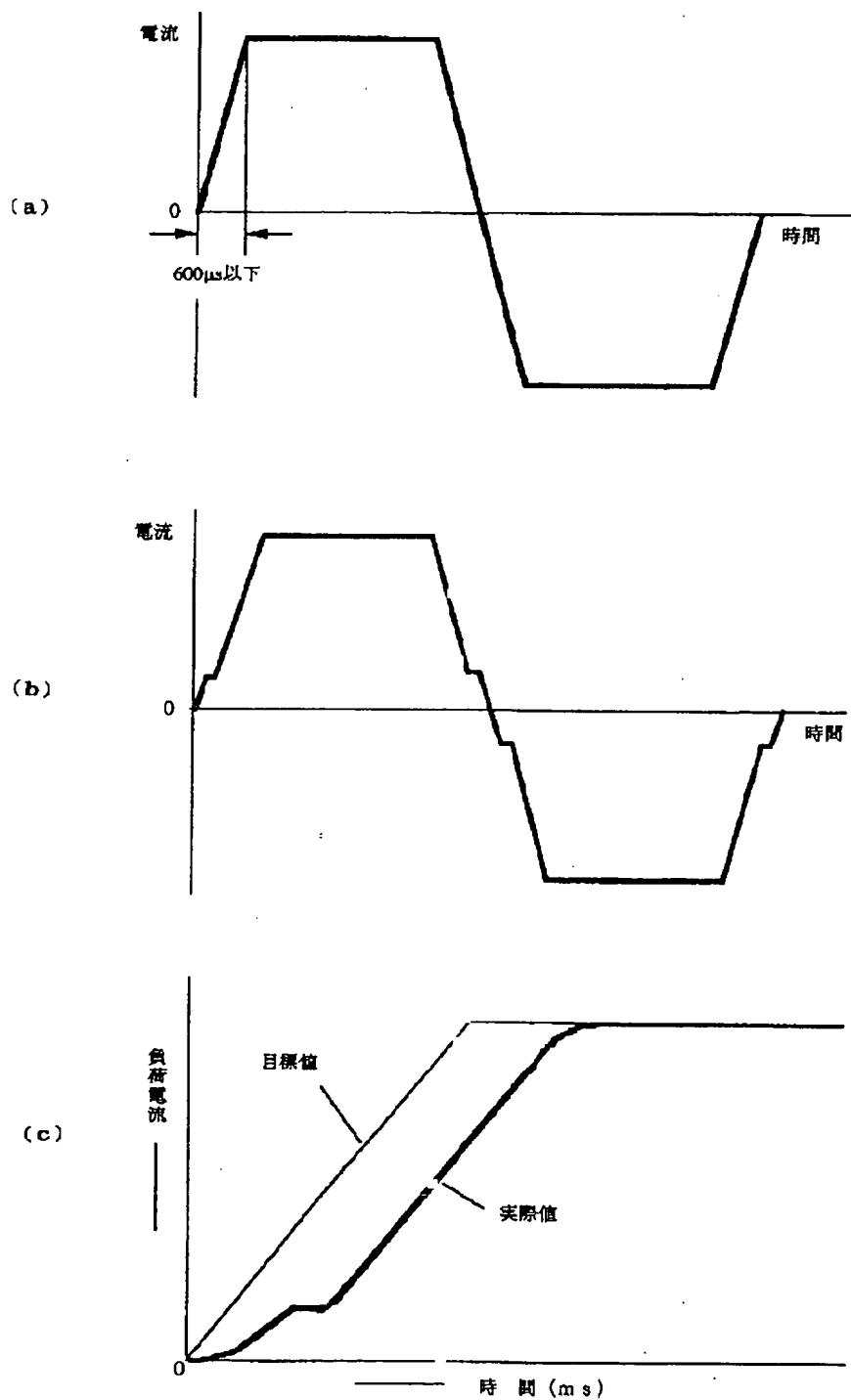
【図5】



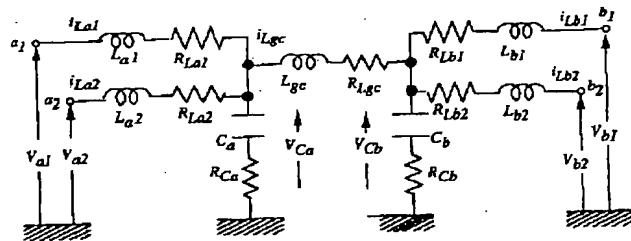
【図6】



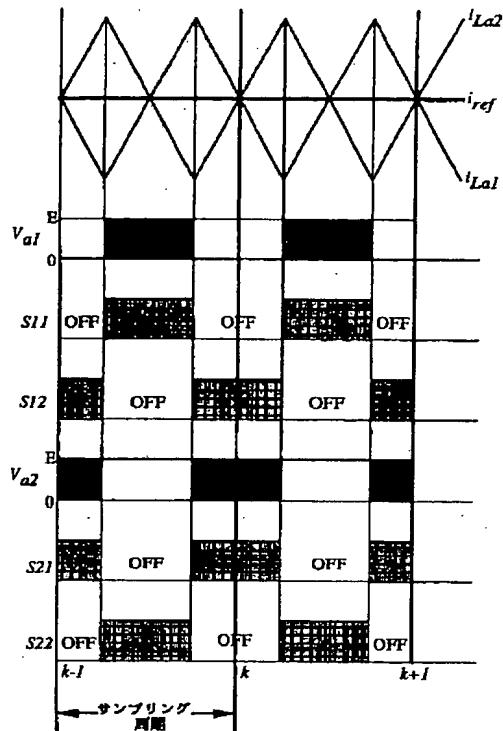
【図8】



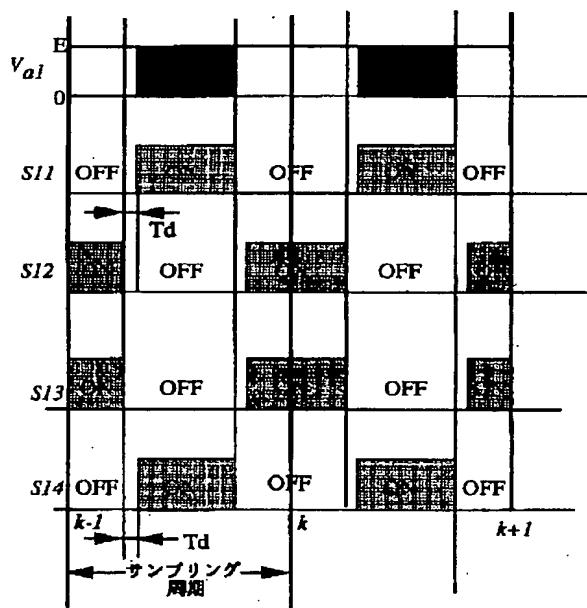
【図10】



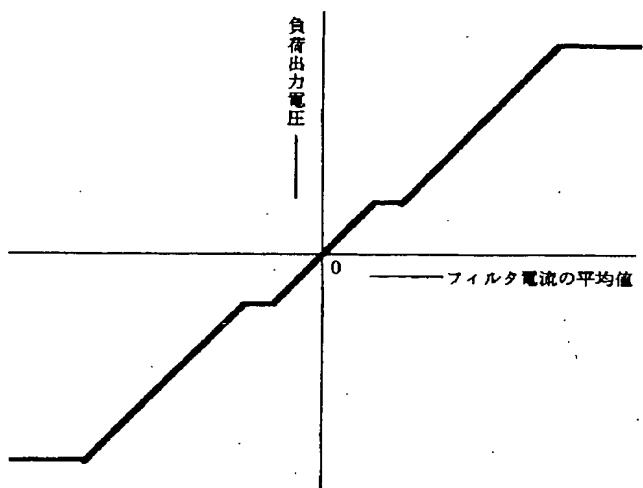
【図11】



【図12】



【図13】



フロントページの続き

(72)発明者 堂本 拓也

東京都千代田区内神田1丁目1番14号 株  
式会社日立メディコ内

(72)発明者 福田 博也

大阪府大阪市東淀川区菅原6丁目21番3号  
ヴェルドール淡路306号室